

【特許請求の範囲】

【請求項1】 Y方向の1つのアドレスに対応してX方向に1ラインのセグメントデータを出力する表示用データメモリと、

表示のスクロール量に応じたオフセット値を保持するレジスタと、

Y方向のアドレスをカウントするYアドレスカウンタと、

このYアドレスカウンタによりカウントされたYアドレスに前記レジスタに保持されたオフセット値を加算したYアドレスで前記表示用データメモリをアドレスするアドレス制御手段とを具備したことを特徴とする表示駆動装置。

【請求項2】 X方向アドレスをカウントするXアドレスカウンタをさらに備え、

前記表示用データメモリは、Y方向の1つのアドレスにつきX方向の複数のアドレスに対応して該X方向に1ラインのセグメントデータが書込まれると共に、Y方向の1つのアドレスに対応してX方向に1ラインのセグメントデータを出力する表示用データメモリであることを特徴とする請求項1記載の表示駆動装置。

【請求項3】 前記表示のスクロール量に応じたオフセット値は、スクロールのライン数であることを特徴とする請求項1又は請求項2記載の表示駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示部(LCD)等の表示装置において、表示画面のスクロール動作を制御する表示駆動装置に関する。

【0002】

【従来の技術】図8は表示用内蔵RAMを有する従来のLCD表示装置の構成を示すブロック図である。このLCD表示装置には、中央処理装置(CPU)1が備えられ、このCPU1により、表示データの生成処理や表示制御処理、その他各種のデータ処理が実行される。

【0003】このCPU1には、図示しない制御信号線と共に8ビットのデータバスを介してビデオメモリ(VRAM)2及び表示装置3が接続される。前記表示装置3には、フレームメモリとして機能する内蔵RAM4と共に液晶表示部(LCD)5が備えられる。

【0004】前記LCD5は、例えば横64ドット×縦32ドットの表示分解能を有するもので、前記内蔵RAM4は、LCD5の1表示画面に1対1に対応する横64ドット×縦32ドットからなる表示データの記憶容量を有している。

【0005】前記VRAM2には、CPU1の制御により生成又は転送される表示データが書込まれるもので、このVRAM2に記憶された全表示データの中から、指定された1画面分の表示データがCPU1による読出し/書込み制御により前記表示装置3の内蔵RAM4に転

送されて記憶され、LCD5に表示出力される。

【0006】

【発明が解決しようとする課題】ここで、例えばLCD5における表示画面の縦方向のスクロール処理は、内蔵RAM4に現在記憶されている1画面表示データより、そのスクロール方向に1表示ドットラインずつずらした1画面表示データをVRAM2から繰返し読出し、前記内蔵RAM4内の表示データを順次一括して書換えることで行なわれるもので、例えば1ドット分上下何れかの方向にスクロールするだけでも、対応する1画面表示データがVRAM2から読出されて表示装置3の内蔵RAM4が書換えられるので、横64ドット×縦32ドットからなる1画面表示データを8ビットバスを介して転送する場合、 $(64 \times 32) / 8 = 256$ 回もの転送作業が必要であり、スクロール処理が高速に行なえない問題がある。

【0007】図9は従来のLCD表示装置の縦方向スクロール処理に伴う内蔵RAM4に対するVRAM2からのデータ転送状態を示す図である。例えばVRAM2に記憶されている表示データのうち、そのY方向の0行目から31行目に対応する1画面表示データが内蔵RAM4に転送記憶されてLCD5に表示されている状態で、縦方向に8ドットライン分のスクロール処理を行なう場合には、前記内蔵RAM4に対してVRAM2に記憶されているY方向の8行目から39行目に対応する1画面表示データを新たに転送し直して書換えなければならない。

【0008】本発明は前記課題に鑑みなされたもので、1画面表示データの全体を書換えてスクロール処理する必要なく、高速なスクロール処理を行なうことが可能になる表示駆動装置を提供することを目的とする。

【0009】

【課題を解決するための手段】すなわち、本発明の請求項1に係わる表示駆動装置は、Y方向の1つのアドレスに対応してX方向に1ラインのセグメントデータを出力する表示用データメモリと、表示のスクロール量に応じたオフセット値を保持するレジスタと、Y方向のアドレスをカウントするYアドレスカウンタと、このYアドレスカウンタによりカウントされたYアドレスに前記レジスタに保持されたオフセット値を加算したYアドレスで前記表示用データメモリをアドレスするアドレス制御手段とを具備したことを特徴とする。

【0010】また、本発明の請求項2に係わる表示駆動装置は、前記請求項1に係わる表示駆動装置にあって、X方向アドレスをカウントするXアドレスカウンタをさらに備え、前記表示用データメモリを、Y方向の1つのアドレスにつきX方向の複数のアドレスに対応して該X方向に1ラインのセグメントデータが書込まれると共に、Y方向の1つのアドレスに対応してX方向に1ラインのセグメントデータを出力する表示用データメモリと

したことを特徴とする。

【0011】また、本発明の請求項3に係わる表示駆動装置は、前記請求項1又は請求項2に係わる表示駆動装置にあって、前記表示のスクロール量に応じたオフセット値を、スクロールのライン数としたことを特徴とする。

【0012】

【作用】つまり、前記請求項1に係わる表示駆動装置では、LCDにおける表示画面のスクロールに際しては、内蔵RAMとして機能する表示用データメモリのY方向アドレスが、YアドレスカウンタによりカウントされるYアドレスに表示のスクロール量に応じたオフセット値を加算したYアドレスによりアドレスされて、それぞれ対応するX方向に1ドットラインのセグメントデータが順次出力されてLCD表示画面に表示されるので、内蔵RAMに対してはスクロールの幅に対応して不要になる表示データの領域に新たに必要な表示データのみシステム側のVRAMから読出して書込めばよいことになる。

【0013】また、前記請求項2に係わる表示駆動装置では、請求項1に係わる表示駆動装置にあって、内蔵RAMとして機能する表示用データメモリには、YアドレスカウンタでカウントされるY方向の1アドレスにつき、XアドレスカウンタでカウントされるX方向の複数アドレスに対応して該X方向に1ラインのセグメントデータが書込まれることになる。

【0014】また、前記請求項3に係わる表示駆動装置では、請求項1又は請求項2に係わる表示駆動装置にあって、前記表示のスクロール量に応じたオフセット値が、スクロールのライン数とされるので、例えばLCDにおける表示4ライン分のスクロールに際しては、内蔵RAMとして機能する表示用データメモリのY方向アドレスが、Yアドレスカウンタでカウントされる初期アドレス“0”に前記スクロールのライン数“4”を加算したYアドレス“4”からアドレスされてLCD画面における先頭ラインからのセグメントデータとして出力されるので、前記表示用データメモリの“0”～“3”ライン目の4ライン分の記憶エリアにのみスクロール分の新たな表示データを書込めばよいことになる。

【0015】

【実施例】以下図面により本発明の実施例について説明する。図1は本発明の表示駆動装置を実施したLCD駆動回路の構成を示すブロック図である。

【0016】このLCD駆動回路は、例えば横64ドット×縦32ドット表示のドットマトリクス式のLCD(Liquid Crystal Display)11を備えている。このLCD11は、コモンドライバ12により順次駆動される32本のコモンラインそれぞれの駆動時において、セグメントドライバ13により64本のセグメントラインを選択的に駆動することでその選択ドット位置が表示駆動されるもので、このセグメントドライバ13により64本の

セグメントラインを選択的に駆動するためのセグメントデータは、表示用データメモリとしての内蔵RAM14から読出され出力段F/F15を介して出力される。

【0017】前記内蔵RAM14は、LCD11の表示領域に1対1に対応する横64ドット×縦32ドットからなる表示データの記憶容量を有するもので、この内蔵RAM14には、システム側のVRAM(図8参照)に記憶されている全表示データのうち、LCD11に表示させるべき1画面分の表示データが8ビットずつ転送されてI/O端子から取込まれ書込まれる。

【0018】この場合、内蔵RAM14のY方向に“0”～“31”までの各Yアドレスにつき、それぞれX方向に“0”～“7”までのXアドレスを指定することで、各対応する1ライン表示データが書込まれる。

【0019】また、前記内蔵RAM14に記憶された1画面分の表示データは、Y方向に“0”～“31”までの各Yアドレスを順次指定することで、各対応するX方向に1ライン(64ドット)分のセグメントデータが読出され、前記出力段F/F15を介してセグメントドライバ13に出力される。

【0020】ここで、前記内蔵RAM14に対するYアドレスは5ビットのアドレスデータ“00000”

(0)～“11111”(31)として指示され、Xアドレスは3ビットのアドレスデータ“000”(0)～“111”(7)として指示される。

【0021】そして、前記内蔵RAM14に対する書込みあるいは読出しアドレスは、アドレスカウンタ16によりカウントされて指示されるもので、そのカウント開始アドレスは、システム側から与えられてアドレスラッチ部17にラッチされる。

【0022】また、前記アドレスカウンタ16のYアドレス出力バスには、アドレス加算回路18が介在されるもので、このアドレス加算回路18においてアドレスカウンタ16によりカウントされたYアドレスに加算すべき被加算データは、オフセットレジスタ19にシステム側から与えられてセットされる。

【0023】ここで、前記オフセットレジスタ19にセットされ、加算回路18にてアドレスカウンタ16によりカウントされるYアドレスに加算される被加算データは、前記LCD11における表示画面の、スクロールのライン数に対応した数値nとしてセットされる。

【0024】つまり、LCD11において、例えば縦方向に4ドットライン分のスクロールを行なう際には、前記オフセットレジスタ19には“100”(4)がセットされるので、内蔵RAM14に対する先頭のYアドレスは、アドレスカウンタ16によりカウントされた“00000”(0)に“100”(4)を加算した“00100”(4)となり、第5ライン目のセグメントデータがLCD11における第1コモンライン駆動時のセグメント駆動データとして出力される。

【0025】そして、前記内蔵RAM14に対する書込み／読出しの指令信号WR、プリチャージ信号PR、前記アドレスラッチ部17及びオフセットレジスタ19に対するデータセット信号、アドレスカウンタ16に対するカウント指令信号は、何れもクロック発生回路20により出力される。

【0026】また、アドレスカウンタ16には、アドレス“0”からのカウントアップ開始を指示するFL（ファースト・ライン・マーカ）信号がシステム側から供給され、さらに、アドレスカウンタ16に対してはカウントタイミング信号、コモンドライバ12に対してはコモンライン駆動タイミング信号、出力段F/F15に対してはセグメントライン駆動タイミング信号となるLP信号がシステム側から供給される。

【0027】次に、前記構成による表示駆動装置を実施したLCD駆動回路の動作について説明する。図2は前記表示駆動装置を実施したLCD駆動回路に対しCPUが行なうスクロール処理を示すフローチャートである。

【0028】図3は前記表示駆動装置を実施したLCD駆動回路におけるFL信号及びLP信号の出力に伴なうコモンラインとRAM・Yアドレスの変化状態を示すタイミングチャートであり、同図（A）はLCDの定常表示に伴なう変化状態を示すタイミングチャート、同図（B）はLCDのスクロール表示に伴なう変化状態を示すタイミングチャートである。

【0029】図4は前記表示駆動装置を実施したLCD駆動回路における8ラインスクロール処理に伴なう内蔵RAM14のデータ書換え状態とコモンライン駆動時のセグメントデータの出力順序を示す図である。

【0030】図5は前記表示駆動装置を実施したLCD駆動回路における8ラインスクロール処理に伴なうRAM・Yアドレスの設定状態とLCDコモンライン（COM）の駆動状態を対比して示す図である。

【0031】すなわち、システム側のVRAM（図8参照）から読出された1画面分の表示データが内蔵RAM14に記憶され、定常表示されている状態では、オフセットレジスタ19には（0）がセットされているので、アドレスカウンタ16のYアドレスがそのままRAM14に与えられる。従って、図3（A）に示すように、FL信号及びLP信号の発生タイミングに対応してコモンライン（0）に対するRAM・Yアドレスとして、アドレスカウンタ16に初期セットされた“00000”

（0）が出力され、それ以降、各コモンライン駆動に対応して、インクリメントされたYアドレスが出力される。よって、LCD11には、内蔵RAM14のYアドレス（0）に記憶されている第1ライン目からの各セグメントデータが順次出力されて表示される。

【0032】一方、LCD11のスクロール表示を行なう際には、オフセットレジスタ19には、そのスクロールのライン数に応じた数値nがセットされるので、図3

（B）に示すように、FL信号及びLP信号の発生タイミングに対応するコモンライン（0）でのRAM・Yアドレスは、アドレスカウンタ16に初期セットされた“00000”（0）にスクロールライン数を加算した（n）となり、LCD11の第1コモンライン（0）からの各コモンライン駆動時には、内蔵RAM14のYアドレス（n）に記憶されているラインからの各セグメントデータが順次出力されて表示される。

【0033】すなわち、図示しないCPUは、LCD11にて表示されている1画面データを、8ライン分スクロールさせる場合には、まず、そのスクロールの幅に応じて新たな表示データとして必要な8ライン分の表示データを、システム側のVRAMから読出し、図4に示すように、内蔵RAM14内でスクロールの幅に応じて不要となる8ライン分のデータ領域に書込む（ステップS1）。

【0034】次に、オフセットレジスタ19に対して、前記スクロールの幅（8ライン）に対応した数値“1000”（8）をセットし、加算回路18におけるYアドレスの被加算データとして設定する（ステップS2）。

【0035】そして、アドレスカウンタ16に対してコモン信号のタイミングに合わせてFL信号を供給することで（ステップS3）、LCD駆動回路に表示動作を再開させる。

【0036】LCD駆動回路では、まず、コモンドライバ12によりLCD11の第1コモンライン（0）が駆動されるタイミングで、アドレスカウンタ16からYアドレス“00000”（0）が与えられると、加算回路18によりオフセット値“1000”（8）が加算され、内蔵RAM14に対してはRAM・Yアドレス“01000”（8）が指定される。よって、第9ライン目のセグメントデータが出力段F/F15から出力され、前記LCD11の第1表示ライン（先頭ライン）に対応して表示される。

【0037】そして、2個目のLP信号に同期して、コモンドライバ12によりLCD11の第2コモンライン（1）が駆動された際に、アドレスカウンタ16によりYアドレス“00001”（1）が与えられると、加算回路18によりオフセット値“1000”（8）が加算され、内蔵RAM14に対してはRAM・Yアドレス“01001”（9）が指定されるので、第10ライン目のセグメントデータが出力段F/F15から出力され、前記LCD11の第2表示ラインに対応して表示される。

【0038】この後、前記同様の処理を繰返し、LCD11の第3、第4、…の各コモンラインに対応して、それぞれ内蔵RAM14における第11、第12、…の各セグメントデータが順次出力されて表示される状態で、コモンドライバ12によりLCD11の第24コモンライン（23）が駆動された際に、アドレスカウンタ16

によりYアドレス“10111”(23)が与えられると、加算回路18によりオフセット値“1000”

(8)が加算され、内蔵RAM14に対してはRAM・Yアドレス“11111”(31)が指定されるので、第32ライン目のセグメントデータが出力段F/F15から出力され、前記LCD11の第24表示ラインに対応して表示される。

【0039】続いて、コモンドライバ12によりLCD11の第25コモンライン(24)が駆動された際に、アドレスカウンタ16によりYアドレス“11000”

(24)が与えられると、加算回路18によりオフセット値“1000”(8)が加算され、内蔵RAM14に対しては繰上げによる第6桁目が存在しない下5桁のRAM・Yアドレス“00000”(0)が指定されるので、新たに書込まれた第1ライン目のセグメントデータが出力段F/F15から出力され、前記LCD11の第25表示ラインに対応して連続表示される。

【0040】そして、この後、コモンドライバ12によりLCD11の第32コモンライン(31)が駆動された際に、アドレスカウンタ16によりYアドレス“11111”(31)が与えられると、加算回路18によりオフセット値“1000”(8)が加算され、内蔵RAM14に対しては繰上げによる第6桁目が存在しない下5桁のRAM・Yアドレス“00111”(7)が指定されるので、新たに書込まれた第8ライン目のセグメントデータが出力段F/F15から出力され、前記LCD11の第32表示ライン(最終ライン)に対応して連続表示される。

【0041】したがって、LCD11の表示画面において8ライン分のスクロールを指示すると、スクロールに応じた幅で表示領域に追加された新たな8ライン分の表示データがRAM14に書込まれ、アドレスカウンタ16によりカウントされるRAM・Yアドレスに加算回路18によりスクロールライン数“1000”(8)を常に加算して内蔵RAM14をアドレスすることで、内蔵RAM14からは、第9ライン目のセグメントデータをLCD11における先頭(第1)コモンラインの表示データとして、順次第32ライン目のセグメントデータを、第24コモンラインの表示データ、第1ライン目のセグメントデータを第25コモンラインの表示データ、第8ライン目のセグメントデータを最終(第32)コモンラインの表示データとして出力表示されるので、スクロール表示処理の高速化を実現できる。

【0042】図6は前記表示駆動装置を実施したLCD駆動回路における20ラインスクロール処理に伴う内蔵RAM14のデータ書換え状態とコモンライン駆動時のセグメントデータの出力順序を示す図である。

【0043】図7は前記表示駆動装置を実施したLCD駆動回路における20ラインスクロール処理に伴うRAM・Yアドレスの設定状態とLCDコモンライン(C

OM)の駆動状態を対比して示す図である。

【0044】すなわち、LCD11にて表示されている1画面データを、20ライン分スクロールさせる場合には、まず、そのスクロールの幅に応じて新たな表示データとして必要な20ライン分の表示データが、システム側のVRAMから読出され、図6に示すように、内蔵RAM14内でスクロールの幅に応じて不要となる20ライン分のデータ領域に書込まれる(ステップS1)。

【0045】すると、オフセットレジスタ19に対して、前記スクロールの幅(20ライン)に対応した数値“10100”(20)がセットされ、加算回路18におけるYアドレスの被加算データとして設定される(ステップS2)。

【0046】ここで、アドレスカウンタ16に対してFL信号が供給されると、LP信号に同期してYアドレスのカウントが開始されるもので、まず、コモンドライバ12によりLCD11の第1コモンライン(0)が駆動された際に、アドレスカウンタ16によりYアドレス“00000”(0)が与えられると、加算回路18によりオフセット値“10100”(20)が加算され、内蔵RAM14に対してはRAM・Yアドレス“10100”(20)が指定されるので、第21ライン目のセグメントデータが出力段F/F15から出力され、前記LCD11の第1表示ライン(先頭ライン)に対応して表示される(ステップS3)。

【0047】そして、2個目のLP信号に同期して、コモンドライバ12によりLCD11の第2コモンライン(1)が駆動された際に、アドレスカウンタ16によりYアドレス“00001”(1)が与えられると、加算回路18によりオフセット値“10100”(20)が加算され、内蔵RAM14に対してはRAM・Yアドレス“10101”(21)が指定されるので、第22ライン目のセグメントデータが出力段F/F15から出力され、前記LCD11の第2表示ラインに対応して表示される。

【0048】この後、前記同様の処理を繰返し、LCD11の第3、第4、…の各コモンラインに対応して、それぞれ内蔵RAM14における第23、第24、…の各セグメントデータが順次出力されて表示される状態で、コモンドライバ12によりLCD11の第12コモンライン(11)が駆動された際に、アドレスカウンタ16によりYアドレス“01011”(11)が与えられると、加算回路18によりオフセット値“10100”

(20)が加算され、内蔵RAM14に対してはRAM・Yアドレス“11111”(31)が指定されるので、第32ライン目のセグメントデータが出力段F/F15から出力され、前記LCD11の第12表示ラインに対応して表示される。

【0049】続いて、コモンドライバ12によりLCD11の第13コモンライン(12)が駆動された際に、

アドレスカウンタ16によりYアドレス“01100” (12)が与えられると、加算回路18によりオフセット値“10100” (20)が加算され、内蔵RAM14に対しては繰上げによる第6桁目が存在しない下5桁のRAM・Yアドレス“00000” (0)が指定されるので、スクロールにより新たに書込まれた第1ライン目のセグメントデータが出力段F/F15から出力され、前記LCD11の第13表示ラインに対応して連続表示される。

【0050】そして、この後、コモンドライバ12によりLCD11の第32コモンライン(31)が駆動された際に、アドレスカウンタ16によりYアドレス“11111” (31)が与えられると、加算回路18によりオフセット値“10100” (20)が加算され、内蔵RAM14に対しては繰上げによる第6桁目が存在しない下5桁のRAM・Yアドレス“10011” (19)が指定されるので、スクロールにより新たに書込まれた第20ライン目のセグメントデータが出力段F/F15から出力され、前記LCD11の第32表示ライン(最終ライン)に対応して連続表示される。

【0051】したがって、LCD11の表示画面において20ライン分のスクロールを指示すると、そのスクロールに応じた幅で表示領域から追出されて不要になる第1ラインから第20ラインまでのセグメントデータを記憶した内蔵RAM14の記憶領域に対して、スクロールに応じた幅で表示領域に追加されて必要になる新たな20ライン分の被表示データがシステム側のVRAMから読出されて書込まれ、アドレスカウンタ16によりカウントされるRAM・Yアドレスに加算回路18によりスクロールライン数“10100” (20)を常に加算して内蔵RAM14をアドレスすることで、内蔵RAM14からは、第21ライン目のセグメントデータをLCD11における先頭(第1)コモンラインの表示データとして、順次第32ライン目のセグメントデータを第12コモンラインの表示データ、第1ライン目のセグメントデータを第13コモンラインの表示データ、第20ライン目のセグメントデータを最終(第32)コモンラインの表示データとして出力表示されるので、スクロール幅(20ライン)に対応する被表示データのみシステム側のVRAMから内蔵RAM14に転送して書換えるだけでよく、スクロール表示処理の高速化を実現できる。

【0052】なお、前記実施例では、8ライン分のスクロール処理、及び20ライン分のスクロール処理について説明したが、1ライン分のスクロール処理についても勿論同様にして処理可能であり、この場合、新たな1ライン分の被表示データのみシステム側のVRAMから読出して内蔵RAM14に書換えればよい。

【0053】なお、実施例では、8ライン、20ラインを一度にスクロールするようにしたが、オフセット値を+1する毎に1ライン分のデータをRAMに書込むこと

で、滑らかなスクロールができることは言うまでもない。

【0054】

【発明の効果】以上のように、本発明の請求項1に係わる表示駆動装置によれば、LCDにおける表示画面のスクロールに際しては、内蔵RAMとして機能する表示用データメモリのY方向アドレスが、YアドレスカウンタによりカウントされるYアドレスに表示のスクロール量に応じたオフセット値を加算したYアドレスによりアドレスされて、それぞれ対応するX方向に1ドットラインのセグメントデータが順次出力されてLCD表示画面に表示されるので、内蔵RAMに対してはスクロールの幅に対応して不要になる表示データの領域に新たに必要な表示データのみシステム側のVRAMから読出して書込めばよいようになる。

【0055】また、本発明の請求項2に係わる表示駆動装置によれば、請求項1に係わる表示駆動装置にあって、内蔵RAMとして機能する表示用データメモリには、YアドレスカウンタでカウントされるY方向の1アドレスにつき、XアドレスカウンタでカウントされるX方向の複数アドレスに対応して該X方向に1ラインのセグメントデータが書込まれるようになる。

【0056】また、本発明の請求項3に係わる表示駆動装置によれば、請求項1又は請求項2に係わる表示駆動装置にあって、前記表示のスクロール量に応じたオフセット値が、スクロールのライン数とされるので、例えばLCDにおける表示4ライン分のスクロールに際しては、内蔵RAMとして機能する表示用データメモリのY方向アドレスが、Yアドレスカウンタでカウントされる初期アドレス“0”に前記スクロールのライン数“4”を加算したYアドレス“4”からアドレスされてLCD画面における先頭ラインからのセグメントデータとして出力されるので、前記表示用データメモリの“0”～“3”ライン目の4ライン分の記憶エリアにのみスクロール分の新たな表示データを書込めばよいようになる。よって、本発明によれば、1画面表示データの全体を書換えてスクロール処理する必要なく、高速なスクロール処理を行なうことが可能になる。

【図面の簡単な説明】

【図1】本発明の表示駆動装置の実施例に係わるLCD駆動回路の構成を示すブロック図。

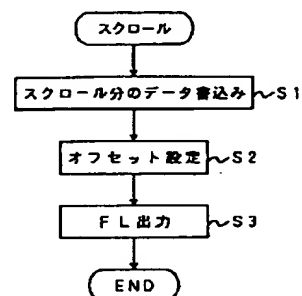
【図2】前記表示駆動装置を実施したLCD駆動回路におけるスクロール処理を示すフローチャート。

【図3】前記表示駆動装置を実施したLCD駆動回路におけるFL信号及びLP信号の出力に伴うコモンラインとRAM・Yアドレスの変化状態を示すタイミングチャートであり、同図(A)はLCDの定常表示に伴う変化状態を示すタイミングチャート、同図(B)はLCDのスクロール表示に伴う変化状態を示すタイミングチャート。

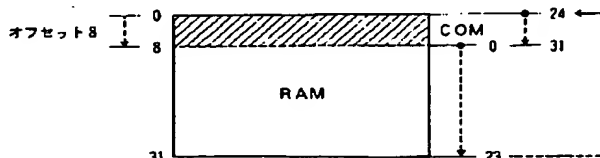
【図 8】表示用内蔵 RAM を有する従来の LCD 表示装

- 1…CPU、
- 2…VRAM、
- 11…LCD、
- 12…コモンドライバ、
- 13…セグメントドライバ、
- 14…内蔵RAM、
- 15…出力段F/F、
- 16…アドレスカウンタ、
- 17…アドレスラッチ部、
- 18…加算回路、
- 19…オフセットレジスタ、
- 20…クロック発生回路。

【图2】



【図 4】



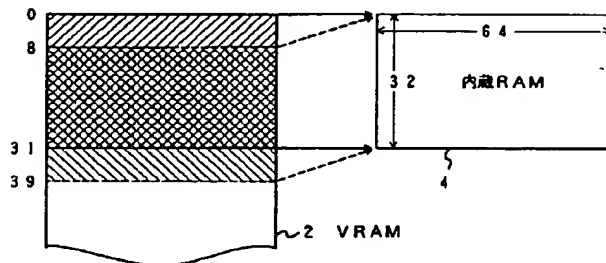
【図 5】

アドレスカウンタ (Y)	オフセット レジスタ	RAM・ Yアドレス	コモンライン (COM)
00000 (0)	01000 (8)	01000 (8)	0
00001 (1)		01001 (9)	1
⋮		⋮	⋮
10111 (23)		11111 (31)	23
11000 (24)		00000 (0)	24
⋮		⋮	⋮
11111 (31)		00111 (7)	31

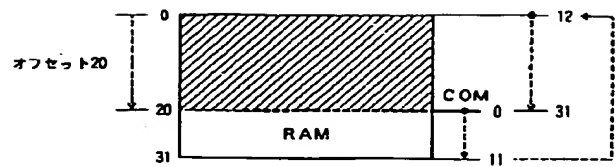
【図 7】

アドレスカウンタ (Y)	オフセット レジスタ	RAM・ Yアドレス	コモンライン (COM)
00000 (0)	10100 (20)	10100 (20)	0
00001 (1)		10101 (21)	1
⋮		⋮	⋮
01011 (11)		11111 (31)	11
01100 (12)		00000 (0)	12
⋮		⋮	⋮
11111 (31)		01001 (19)	31

【図 9】



【図 6】



【図 8】

